

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: SEUNG-HWAN MOON, ET AL.)
)
FOR: METHOD OF DRIVING TRANSISTOR AND)
SHIFT REGISTER PERFORMING THE SAME)

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450


Dear Commissioner:

Enclosed herewith is a certified copy of Korean Patent Application No. 2003-0008081 filed on February 10, 2003. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicants hereby claim the benefit of the filing date of February 10, 2003, of the Korean Patent Application No. 2003-0008081, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: 
Jae Y. Park

Reg. No. (SEE ATTACHED)
Cantor Colburn LLP
55 Griffin Road South
Bloomfield, CT 06002
Telephone: (860) 286-2929
Fax: (860) 286-0115
PTO Customer No. 23413

Date: February 4, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0008081
Application Number

출원 년 월 일 : 2003년 02월 10일
Date of Application FEB 10, 2003

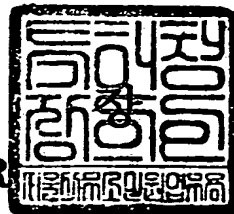
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 05 월 21 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.10
【발명의 명칭】	트랜지스터의 구동 방법과 쉬프트 레지스터의 구동 방법 및 이를 수행하기 위한 쉬프트 레지스터
【발명의 영문명칭】	METHOD FOR DRIVING TRANSISTOR AND SHIFT REGISTER, AND SHIFT REGISTER FOR PERFORMING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	문승환
【성명의 영문표기】	MOON, Seung Hwan
【주민등록번호】	650315-1932318
【우편번호】	449-843
【주소】	경기도 용인시 수지읍 상현리 현대I-PARK 6차 A. 205-1504(만현마을)
【국적】	KR
【발명자】	
【성명의 국문표기】	강남수
【성명의 영문표기】	KANG, Nam Soo
【주민등록번호】	710322-1056619
【우편번호】	425-743
【주소】	경기도 안산시 사1동 푸른마을 주공5단지아파트 517동 704 동
【국적】	KR

【발명자】

【성명의 국문표기】 이경은
【성명의 영문표기】 LEE, Kyung Eun
【주민등록번호】 710519-2260814
【우편번호】 135-853
【주소】 서울특별시 강남구 도곡1동 966번지 매봉 삼성아파트 1706호
【국적】 KR

【발명자】

【성명의 국문표기】 이백원
【성명의 영문표기】 LEE, Back Won
【주민등록번호】 740812-1057931
【우편번호】 156-826
【주소】 서울특별시 동작구 사당1동 1035-10
【국적】 KR

【발명자】

【성명의 국문표기】 김지훈
【성명의 영문표기】 KIM, Ji Hoon
【주민등록번호】 750704-1392318
【우편번호】 449-903
【주소】 경기도 용인시 기흥읍 구갈리 274-4 프린스빌 203호
【국적】 KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대
 리인
 우 (인) 박영

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	13 면	13,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	42,000 원	

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

전류 구동 능력의 저하를 방지하기 위한 비정질 실리콘 박막 트랜지스터의 구동 방법과 쉬프트 레지스터의 구동 방법 및 이를 수행하기 위한 쉬프트 레지스터가 개시된다. 드레인, 소오스 및 게이트를 갖는 트랜지스터의 구동 방법에서, 제1 전원전압을 드레인에 인가하고, 제2 전원전압을 소오스에 인가하며, 해당 트랜지스터의 열화에 따라 상승한 문턱 전압을 트랜지스터가 오동작하는 문턱 전압 이하로 하기 위해 일정 주기로 스윙하는 제3 전원전압을 게이트에 인가한다. 이에 따라, 트랜지스터의 게이트에 일정 주기로 스윙하는 AC 전원을 인가함으로써 해당 트랜지스터가 열화되더라도 정상적인 전류 구동 능력을 유지할 수 있다.

【대표도】

도 6

【색인어】

액정, 쉬프트 레지스터, 클럭, 구동, 열화, 전류 구동, AC

【명세서】**【발명의 명칭】**

트랜지스터의 구동 방법과 쉬프트 레지스터의 구동 방법 및 이를 수행하기 위한 쉬프트 레지스터{METHOD FOR DRIVING TRANSISTOR AND SHIFT REGISTER, AND SHIFT REGISTER FOR PERFORMING THE SAME}

【도면의 간단한 설명】

도 1은 일반적인 쉬프트 레지스터를 설명하기 위한 도면이다.

도 2는 상기한 도 1에 의한 게이트 구동 회로를 설명하기 위한 도면이다.

도 3은 상기한 도 1 및 도 2에 의한 구동 파형을 설명하기 위한 파형도이다.

도 4는 일반적인 a-Si TFT의 게이트-소오스간 전압에 따라 시간적으로 변화하는 문턱 전압의 변화량을 도시한 파형도이다.

도 5a는 본 발명에 따른 트랜지스터의 등가 회로도이고, 도 5b는 상기한 트랜지스터에 인가되는 게이트-소오스간 전압을 설명하기 위한 파형도이다.

도 6은 본 발명에 따른 쉬프트 레지스터의 스테이지를 설명하기 위한 도면이다.

도 7은 본 발명에 따라 인가되는 게이트-소오스간 전압의 일례를 설명하기 위한 파형도이다.

도 8은 본 발명에 따른 인가되는 게이트-소오스간 전압의 다른 일례를 설명하기 위한 파형도이다.

<도면의 주요부분에 대한 부호의 설명>

110, 210 : 풀업부 120, 220 : 풀다운부

130, 230 : 풀업구동부 140, 240 : 풀다운구동부

242 : 반전부 244 : 열화보상부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 트랜지스터의 구동 방법과 쉬프트 레지스터의 구동 방법 및 이를 수행하기 위한 쉬프트 레지스터에 관한 것으로, 보다 상세하게는 전류 구동 능력의 저하를 방지하기 위한 비정질 실리콘 박막 트랜지스터의 구동 방법과 쉬프트 레지스터의 구동 방법 및 이를 수행하기 위한 쉬프트 레지스터에 관한 것이다.

<14> 근래 들어, 액정 표시 장치는 TCP(Tape Carrier Package) 또는 COG(Chip On Glass) 등의 방법으로 게이트 구동 IC를 장착하고 있다. 하지만, 제조 원가나 기구 설계적인 측면에서 상기한 제품의 구조에는 한계가 있어 상기 게이트 구동 IC를 채택하지 않는 구조(이하, GATE IC-Less 구조)를 강구하는데 이는 비정질 실리콘 박막 트랜지스터(이하, a-Si TFT)를 이용한 회로로써 게이트 구동 IC와 같은 동작을 수행토록 하는 것이다.

<15> 이를 위한 a-Si TFT 회로가 미국 특허등록번호 제5,517,542호뿐만 아니라, 본 출원인에 의해 출원된 대한민국 특허출원 제2002-3398호(공개번호 제2002-66965호) 등에 개시되어 있다. 특히 상기 특허출원 제2002-3398호에서 개시하는 쉬프트 레지스터 회로는 가장 적은 수의 7개의 트랜지스터와 외부 입력 배선이 가능하도록 개발되었다.

- <16> 도 1은 일반적인 쉬프트 레지스터를 설명하기 위한 도면으로, 특히 특허출원 제 2002-3398호에서 개시하는 게이트 드라이버 IC로 동작하는 쉬프트 레지스터의 스테이지를 설명한다.
- <17> 도 1을 참조하면, 쉬프트 레지스터의 각 스테이지는 풀업부(110), 풀다운부(120), 풀업구동부(130) 및 풀다운구동부(140)를 포함하여, 스캔개시신호(STV) 또는 이전 스테이지의 출력 신호를 근거로 게이트 신호(또는 주사 신호)를 출력한다. 이때 스테이지가 쉬프트 레지스터의 첫번째 스테이지인 경우에는 타이밍 제어부(미도시)로부터 제공되는 스캔개시신호(STV)를 근거로 게이트 신호를 출력하고, 나머지 스테이지인 경우에는 이전 스테이지로부터 출력되는 게이트 신호를 근거로 게이트 신호를 출력한다.
- <18> 상기한 쉬프트 레지스터는 하기하는 도 2와 같이 TFT 패널 내에 집적되어 게이트 구동 회로와 같은 동작을 수행하게 된다.
- <19> 도 2는 상기한 도 1에 의한 게이트 구동 회로를 설명하기 위한 도면이다.
- <20> 도 1 및 도 2를 참조하면, N개의 게이트 신호(또는 주사 신호)(GOUT[1], GOUT[2], ... GOUT[N])를 출력하는 게이트 구동 회로(174)에는 N개의 스테이지들이 구비된다.
- <21> 첫번째 스테이지는 타이밍 제어부(미도시)로부터 제공되는 스캔개시신호(STV), 타이밍 제어부(미도시)로부터 제공되는 게이트 온/오프 전압(VON/VOFF), 제1 파워 클럭(CKV)을 각각 제공받아 첫번째 게이트 라인의 선택을 위한 제1 게이트 신호(GOUT[1])를 출력함과 함께 두번째 스테이지의 입력단(IN)에 출력한다.
- <22> 두번째 스테이지는 이전 스테이지로부터 제공되는 제1 게이트 신호(GOUT[1])와, 상기 게이트 온/오프 전압(VON/VOFF), 제2 파워 클럭(CKVB)을 각각 제공받아 두번째 게

트 라인의 선택을 위한 제2 게이트 신호(GOUT[2])를 출력함과 함께 세번째 스테이지의 입력단(IN)에 출력한다.

- <23> 상기 방식으로 진행하여 N번째 스테이지는 N-1번째 스테이지로부터 제공되는 제 (N-1) 게이트 신호(GOUT[N-1])와, 타이밍 제어부(미도시)로부터 제공되는 게이트 온/오프 전압(VON/VOFF), 제2 파워 클럭(CKVB)을 각각 제공받아 N번째 게이트 라인의 선택을 위한 제N 게이트 신호(GOUT[N])를 출력단자(OUT)를 통해 출력한다.
- <24> 도 3은 상기한 도 1 및 도 2에 의한 구동 파형을 설명하기 위한 파형도이다.
- <25> 도 1 내지 도 3을 참조하면, 상기 쉬프트 레지스터(174)는 입력되는 2H를 1주기로 하여 제1 파워 클럭(CKV) 또는 상기 제1 파워 클럭(CKV)에 위상이 반전하는 제2 파워 클럭(CKVB) 중 어느 하나를 인가받아 복수의 게이트 신호를 TFT 기판에 형성된 게이트 라인에 순차적으로 출력한다. 이때 상기 제1 및 제2 파워 클럭(CKV, CKVB)은 a-TFT를 구동하기 위해 타이밍 컨트롤러(미도시)의 출력인 0 내지 3V 진폭의 신호를, 예를 들어, -8 내지 24V 진폭의 신호로 증폭한 신호이다.
- <26> 통상적으로 a-Si 트랜지스터로 구현되는 상기 풀업부(110)의 NMOS 트랜지스터(Q2)는 매우 작은 전자 이동도를 갖기 때문에 대형 TFT 액정 표시 장치를 구동하기 위한 고 전압 진폭, 예를 들어, 20V 내지 -14V 정도의 게이트 펄스를 게이트 라인에 인가하기 위해서는 매우 큰 사이즈가 될 수밖에 없다. 특히, 12.1인치(30.734cm)를 사용하는 XGA급의 경우에는 하나의 게이트 라인의 기생용량이 250 내지 300pF 정도이고, 이를 최소 디자인 룰인 $4\mu\text{m}$ 로 설계한 a-Si 트랜지스터로 구동하고자 하면, 채널길이(L)가 $4\mu\text{m}$ 일 때 채널폭(W)이 $5500\mu\text{m}$ 정도가 필요하게 된다. 따라서 게이트 라인을 구동하기 위한 NMOS

타입의 a-Si 트랜지스터(Q2)의 기생용량인 게이트-드레인간 기생용량(Cgd)은 커질 수밖에 없다.

<27> 이 경우 상기 기생용량(Cgd)의 크기는 3pF 정도로서 a-Si 트랜지스터로 구성되는 게이트 드라이버 회로의 오동작이 문제가 된다. 이는 상기 기생용량(Cgd)이 고진폭, 즉 20V 내지 -14V의 파워 클럭(CKV 또는 CKVB)과 연결되어 있고, 상기 기생용량(Cgd)이 커플링 캐패시터로 동작하여 상기 풀업 트랜지스터(Q2)의 게이트 전압을 발생시킬 수 있기 때문이다. 예를 들어, 상기 커플링 캐패시터를 게이트 오프 전압(VOFF)으로 유지시키는 수단이 없는 경우에는 상기 풀업 트랜지스터(Q2)의 게이트 전압은 20V 내지 -14V의 파워 클럭(CKV 또는 CKVB)의 전위가 되고, 출력은 최대 20V에서 풀업 트랜지스터(Q2)의 문턱 전압(V_{th})을 감산한 전압이 발생되어 액정 패널의 게이트 라인에 인가되므로 이상 표시 현상이 발생할 수 있다.

<28> 따라서, a-Si 트랜지스터로 구성되는 게이트 드라이버 IC에서는 풀업 트랜지스터(Q2)와 같이 스캔 펄스를 출력하는 트랜지스터의 게이트를 게이트 오프 전압(VOFF)으로 유지시키기 위해 홀드 기능을 수행하는 트랜지스터(Q5)(이하 홀드 트랜지스터)와 트랜지스터(M2)가 동작한 후, 대부분의 시간 동안 스캔 펄스가 게이트 오프 전압(VOFF) 레벨이 되도록 풀다운 기능을 하는 트랜지스터(Q3)(이하, 풀다운 트랜지스터)가 필수적이다.

<29> 그런데, 상기 a-Si 트랜지스터는 물리적으로 N 타입 MOSFET로만 형성되는 특징이 있어 홀드 트랜지스터(Q5)는 (1수직동기시간-2수평동기시간)과 풀다운 트랜지스터(Q3)에는 (1수직동기시간-1수평동기시간)을 제외한 대부분의 시간 동안 외부에서 인가되는 DC 전압인 게이트 온 전압(V_{ON})에 비례하는 DC 전압이 인가될 수밖에 없다.

- <30> 이처럼, 종래에는 a-Si 트랜지스터로 게이트 드라이버 IC를 구성하였을 때 풀다운 트랜지스터(Q2)와 홀드 트랜지스터(Q5)가 a-Si TFT의 게이트-소오스간 전압(V_{gs})이 대부분의 시간동안 DC-바이어스되어 있어 열화가 발생하는 문제가 있다.
- <31> 통상적으로 a-Si 트랜지스터는 진행성의 열화를 갖기 때문에 어느 시간 이상 구동하고 있게 되면 풀다운 트랜지스터(Q2)와 홀드 트랜지스터(Q5)는 구동시 필요한 최소한의 전류 구동 능력을 상실하여 화면을 정상적으로 표시하지 못하는 문제가 발생한다. 즉, 상기 열화에 의해 트랜지스터의 문턱 전압(V_{th})이 상승하고, 어느 이상의 문턱 전압(V_{th}')에서는 정상적으로 인가되는 V_{gs} 전압으로는 해당 a-Si 트랜지스터를 턴-온시킬 수 없게 된다.
- <32> 도 4는 일반적인 a-Si 트랜지스터의 게이트-소오스간 전압에 따라 시간적으로 변화하는 문턱 전압의 변화량(ΔV_{th})을 도시한 파형도로서, 특히 트랜지스터의 게이트-소오스간 전압(V_{gs})을 DC로 하였을 때 해당 트랜지스터의 문턱 전압의 변화량(ΔV_{th})이 시간적으로 증가하는 파형도이다.
- <33> 도 4에 도시한 바와 같이, a-Si 트랜지스터의 게이트에 지속적으로 DC 전압이 인가되어 게이트 바이어스 스트레스가 유발되면 일정 시간 경과 후에 트랜지스터가 열화되고, 상기 열화에 의한 문턱 전압의 변화량(ΔV_{th})은 DC로 인가하는 게이트-소오스간 전압(V_{gs})에 이르러 상기 게이트-소오스간 전압(V_{gs})으로는 더 이상의 전류 구동능력이 생기지 않게 됨을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<34> 이에 본 발명의 기술과 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 비정질 실리콘 박막 트랜지스터의 게이트에 인가되는 게이트 바이어스 스트레스에 의한 전류 구동 능력의 저하를 방지하기 위한 트랜지스터의 구동 방법을 제공하는 것이다.

<35> 또한, 본 발명의 다른 목적은 게이트 바이어스 스트레스에 의한 전류 구동 능력의 저하를 방지하기 위한 쉬프트 레지스터의 구동 방법을 제공하는 것이다.

<36> 또한, 본 발명의 또 다른 목적은 상기한 구동 방법을 수행하기 위한 쉬프트 레지스터를 제공하는 것이다.

【발명의 구성 및 작용】

<37> 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 트랜지스터의 구동 방법은, 드레인, 소오스 및 게이트를 갖는 트랜지스터의 구동 방법에 있어서, (a) 제1 전원전압을 상기 드레인에 인가하고, 제2 전원전압을 상기 소오스에 인가하는 단계; 및 (b) 상기 트랜지스터의 열화에 따라 상승한 문턱 전압을 상기 트랜지스터가 오동작하는 문턱 전압 이하로 하기 위해 일정 주기로 스윙하는 제3 전원전압을 상기 게이트에 인가하는 단계를 포함하여 이루어진다.

<38> 또한, 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 쉬프트 레지스터의 구동 방법은, 스캔개시신호의 입력에 따라 복수의 스테이지를 가진 쉬프트 레지스터를 이용하여 복수의 게이트 라인을 순차적으로 구동하는 쉬프트 레지스터의 구동 방법에 있어서, (a) 외부로부터 제공되는 제1 전원전압을 캐패시터에 충전시켜 클럭의 1 듀티

동안 출력단자에 연결된 게이트 라인을 풀업시키는 단계; (b) 상기 출력단자의 출력신호에 의해 상기 단계(a)의 풀업상태를 유지하는 단계; (c) 상기 출력신호의 후단에 응답하여 상기 게이트 라인의 풀다운을 시작하고 상기 캐패시터의 방전을 시작하는 단계; (d) 제2 전원전압에 응답하여 상기 게이트 라인을 풀다운시키는 단계; 및 (e) 외부로부터 제공되는 제3 전원전압에 의해 상기 단계(d)의 풀다운 상태를 유지하는 단계를 포함하여 이루어진다.

<39> 또한, 본 발명의 또 다른 목적을 실현하기 위한 하나의 특징에 따른 쉬프트 레지스터는, 복수의 스테이지들이 연결되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 충전 시간을 줄이기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 충전 시간을 줄이기 위한 제2 제어신호가 제공되며, 상기 각 스테이지는 출력단자에 상기 제1 및 제2 클럭 중 대응되는 클럭을 제공하는 풀업부; 상기 출력단자에 제1 전원전압을 제공하는 풀다운부; 상기 풀업부의 입력노드에 연결되고, 이전 스테이지의 출력신호의 선단에 응답하여 상기 풀업부를 턴-온시키고, 상기 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 상기 풀업부를 턴-오프시키는 풀업구동부; 및 상기 풀다운부의 입력노드에 연결되고, 일정 주기로 스윙하는 입력신호의 선단에 응답하여 상기 풀다운부를 턴-오프시키고, 상기 입력신호의 후단에 응답하여 상기 풀다운부를 턴-온시키는 풀다운구동부를 포함하여 이루어진다.

<40> 이러한 트랜지스터의 구동 방법과 쉬프트 레지스터의 구동 방법 및 이를 수행하기 위한 쉬프트 레지스터에 의하면, 트랜지스터의 게이트에 일정 주기로 스윙하는 AC 전원

을 인가하므로써 해당 트랜지스터가 열화되더라도 정상적인 전류 구동 능력을 유지할 수 있다.

<41> 이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

<42> 도 5a는 본 발명에 따른 트랜지스터의 등가 회로도이고, 도 5b는 상기한 트랜지스터에 인가되는 게이트-소오스간 전압을 설명하기 위한 파형도이다.

<43> 도 5a 및 도 5b를 참조하면, 본 발명에 따른 트랜지스터의 드레인(D)에는 드레인 전압(V_d)이 인가되고, 소오스(S)에는 소오스 전압(V_s)이 인가되고, 게이트(G)에 게이트 전압(V_g)이 인가된다. 상기 트랜지스터를 구동하기 위해 상기 게이트 전압(V_g)이 인가되면, 상기 게이트 전압(V_g)과 소오스 전압(V_s)간의 차전압인 게이트-소오스간 전압(V_{gs})과 문턱 전압(V_{th})과의 관계를 통해 동작한다. 예를 들어, 상기 게이트-소오스간 전압(V_{gs})이 상기 문턱 전압(V_{th})보다 작은 경우에는 턴-오프 상태를 유지하다가 상기 문턱 전압(V_{th})보다 크거나 같은 경우에는 턴-온 동작을 통해 상기 드레인에 인가되는 드레인 전압을 상기 소오스로 드레인시킨다.

<44> 본 발명에서는 도 5b에 도시한 바와 같이, 일정 주기로 스윙하는 게이트-소오스간 전압을 부여하므로써 해당 트랜지스터가 열화되더라도 정상적인 전류 구동 능력을 부여할 수 있다. 특히, 상기 스윙하는 게이트-소오스간 전압을 발생시키기 위한 일례로 상기 게이트 전압은 일정 주기로 스윙하는 전압인 것이 바람직하다.

<45> 도 5b에 도시한 바와 같이, 주기적인 AC 전압 형태의 게이트-소오스간 전압(V_{gs_ac})이 트랜지스터의 게이트-소오스간에 걸리도록 하므로써 a-Si 트랜지스터의 문턱 전압의 열화되는 양, 즉, 문턱 전압의 변화량(ΔV_{th})이 상기 AC 전압의 산술평균치에 비

레하여 쉬프트되므로 해당 트랜지스터가 열화되더라도 전류 구동 능력을 정상적으로 유지할 수 있다.

<46> 즉, 정상적인 문턱 전압(V_{th0})을 갖는 트랜지스터에 열화가 발생되어 변화량(ΔV_{th})만큼 문턱 전압이 상승하더라도 하기하는 수학적 식 1과 같이 게이트-소오스간 전압의 최대치($\text{Max}(V_{gs})$)보다 작으므로 해당 트랜지스터를 턴-온 시킬 수 있고, 이에 따라 전류 구동 능력을 유지할 수 있다.

<47> 【수학적 식 1】 $\text{Max}(V_{gs}) - [V_{th0} + \Delta V_{th}] > 0$

<48> 여기서, V_{th0} 는 정상적인 a-Si 트랜지스터의 문턱 전압이고, ΔV_{th} 는 열화후 a-Si 트랜지스터의 문턱 전압(V_{th}')과 정상적인 트랜지스터의 문턱 전압간의 차전압이다.

<49> 이상에서는 a-Si 트랜지스터의 게이트에 AC 바이어스를 인가하므로써 해당 트랜지스터가 열화되더라도 정상적으로 전류 구동 능력을 유지하는 것을 설명하였다.

<50> 그러면, 상기 AC 전압을 트랜지스터의 게이트에 인가하는 개념을 a-Si 트랜지스터로 이루어지는 게이트 드라이버 회로에 적용한 바람직한 실시예에 대해서 설명한다.

<51> 먼저, 주기적인 AC 전압을 a-Si 트랜지스터에 인가하더라도 동작할 수 있는 배경은 다음과 같다. 즉, 게이트 드라이버 회로에 구비되는 a-Si 트랜지스터의 풀다운 트랜지스터(Q2)는 [1수직시간-1수평시간] 동안에 파워 클럭(CKV 또는 CKVB)이 로우 레벨에서 하이 레벨로 천이 하였을 때 턴-온 상태가 되기 때문이고, 홀드 트랜지스터(Q5)가 [1수직시간-2수평시간] 동안에 파워 클럭(CKV 또는 CKVB)이 로우 레벨에서 하이 레벨로 천이 하였을 때 턴-온 상태가 되기 때문이다.

<52> 도 6은 본 발명에 따른 쉬프트 레지스터의 스테이지를 설명하기 위한 도면이다.

<53> 도 6을 참조하면, 본 발명에 따른 쉬프트 레지스터의 스테이지는 풀업부(210), 풀다운부(220), 풀업구동부(230) 및 풀다운구동부(240)를 포함하여, 스캔개시신호(STV) 또는 이전 스테이지의 출력 신호를 근거로 게이트 신호(또는 주사 신호)를 출력한다. 이때 스테이지가 쉬프트 레지스터의 첫번째 스테이지인 경우에는 타이밍 제어부(미도시)로부터 제공되는 스캔개시신호(STV)를 근거로 게이트 신호를 출력하고, 나머지 스테이지인 경우에는 이전 스테이지로부터 출력되는 게이트 신호를 근거로 게이트 신호를 출력한다. 여기서, 상기 쉬프트 레지스터의 스테이지는 다수개 종속 연결되어, 게이트 드라이버 IC의 동작을 수행하고, 상기 게이트 드라이버 IC에 대해서는 상기한 도 2에서 설명하였으므로 그 설명은 생략한다.

<54> 풀업부(210)는 파워 클럭 입력단자(CKV 또는 CKVB)에 드레인이 연결되고, 제1 노드(N1)에 게이트가 연결되고, 출력단자(OUT)에 소오스가 연결된 풀업 NMOS 트랜지스터(Q1)로 구성된다.

<55> 풀다운부(220)는 출력단자(OUT)에 드레인이 연결되고, 풀다운구동부(240)에 게이트가 연결되고, 소오스가 게이트 오프 전압(VOFF)에 연결된 풀다운 NMOS 트랜지스터(Q2)로 구성된다.

<56> 풀업구동부(230)는 캐패시터(C), NMOS 트랜지스터(Q3~Q5)로 구성된다. 구체적으로 캐패시터(C)는 제1 노드(N1)와 출력단자(OUT) 사이에 연결된다. NMOS 트랜지스터(Q3)는 제2 전원전압(VON)에 드레인이 연결되고, 이전 스테이지의 출력단자(GOUT[N-1])에 게이트가 연결되고, 제1 노드(N1)에 소오스가 연결된다. NMOS 트랜지스터(Q4)는 제1 노드(N1)에 드레인이 연결되고, 제어단자(CT)에 게이트가 연결되고, 소오스가 게이트 오프 전압(VOFF)에 연결된다. NMOS 트랜지스터(Q5)는 제1 노드(N2)에 드레인이 연결되고, 풀

다운 NMOS 트랜지스터(Q2)의 게이트에 게이트가 연결되고, 게이트 오프 전압(VOFF)에 소오스가 연결된다.

<57> 풀다운구동부(240)는 두 개의 트랜지스터(Q6, Q7)로 이루어지는 반전부(242)와, 두 개의 트랜지스터(MA, MB)로 이루어지는 열화보상부(244)로 이루어진다. 구체적으로, NMOS 트랜지스터(Q6)는 게이트와 드레인이 공통 연결되어, 게이트 온 전압(VON)에 연결된다. NMOS 트랜지스터(Q7)는 드레인이 트랜지스터(Q6)의 소오스에 연결되고, 게이트가 제1 노드(N1)를 경유하여 NMOS 트랜지스터(Q3)의 소오스에 연결되며, 소오스가 게이트 오프 전압(VOFF)에 연결된다. NMOS 트랜지스터(MA)는 드레인이 게이트 온 전압(VON)에 연결되고, 게이트가 제2 노드(N2)를 경유하여 NMOS 트랜지스터(Q6)의 소오스 및 트랜지스터(Q7)의 드레인에 연결되며, 소오스가 제3 노드(N3)를 통해 풀다운 트랜지스터(Q3)와 홀드 NMOS 트랜지스터(Q5)의 게이트에 연결된다. NMOS 트랜지스터(MB)는 드레인이 제3 노드(N3)를 통해 풀다운 NMOS 트랜지스터(Q2)와 홀드 NMOS 트랜지스터(Q5)의 게이트에 연결되고, 게이트가 제1 노드(N1)에 연결되며, 소오스가 게이트 오프 전압(VOFF)에 연결된다.

<58> 특히, 열화보상부(244)는 일정 주기로 스윙하는 전압을 풀다운 트랜지스터(Q2)와 홀드 트랜지스터(Q5)의 게이트 각각에 인가한다.

<59> 그러면, 상기한 도면을 이용한 구동 동작을 설명한다.

<60> 먼저, 게이트 온 전압(VON)이 인가되는 입력 단자에 최대의 게이트 온 전압(Max(VON))이 인가되면, 제6 트랜지스터(Q6)와 트랜지스터(MB)는 턴-오프 상태이므로 트랜지스터(MA)의 게이트 캐패시터에는 하기하는 수학식 2와 같은 전압이 충전된다.

<61> **【수학식 2】** $V(MA_{Gate}) = \text{Max}(VON) - Vth(Q6)$

<62> 상기한 수학식 2의 전압이 충전됨에 따라, 풀다운 트랜지스터(Q2)와 홀드 트랜지스터(Q5)의 게이트 노드인 제3 노드(N3)에는 하기하는 수학식 3의 전압이 발생된다.

<63>
$$V(N_3) = V(MA_{Gate}) - Vth(MA)$$
【수학식 3】
$$= \text{Max}(VON) - Vth(Q6) - Vth(MA)$$

<64> 한편, 게이트 온 전압(VON)이 인가되는 입력단자에 최소의 게이트 온 전압 (Min(VON))이 인가되면 트랜지스터(Q6)에는 역방향 전압이 걸려 턴-오프되고, 플로팅 상태의 트랜지스터(MA)의 게이트 캐패시터 전압은 드레인 전압과 제3 노드(N3)에 걸리는 전압에 의해 커플링되어 점차적으로 하강한다. 이때, 상기 최소의 게이트 온 전압 (Min(VON))은 상기 제3 노드(N3)에 걸리는 전압보다 작은 상태이므로 $V(MA_{Gate}) > \text{Min}(VON) + Vth(MA)$ 의 조건에 의해 제3 노드(N3)의 전압은 방전하게 된다.

<65> 만일, 트랜지스터(MA)의 구조가 게이트의 캐패시턴스를 산술 평균한 값이 게이트-소오스간 기생 캐패시턴스(Cgd)와 동일하고, 게이트-드레인간 기생 캐패시턴스가 동일한 대칭 구조라면, 최소의 게이트 온 전압(Min(VON))이 인가되었을 때 제3 노드(N3)의 전압 (V(N3))은 트랜지스터(MA)의 게이트 전압(V(MA_Gate))이 상기 최소의 게이트 온 전압 (Min(VON))에 트랜지스터(MA)의 문턱 전압(Vth(MA))을 합한 값이 될 때까지 방전하게 되므로 하기하는 수학식 4와 같다.

<66> **【수학식 4】** $V(N_3) = \text{Min}(VON) + 3 \cdot Vth(MA)$

<67> 상기 수학식 3과 4에 따른 전압 상태가 풀다운 트랜지스터(Q2) 또는 홀드 트랜지스터(Q5)에 인가되는 전압으로서 본 발명의 목적을 달성하기 위해서는 다음과 같은 조건을 만족하여야 한다.

<68> 즉, 게이트-소오스간의 전압(V_{gs})의 최대치는 하기하는 수학식 5와 같이, 정상적인 트랜지스터의 문턱 전압(V_{th0})과 열화되는 양인 차전압(ΔV_{th})과의 합보다 커야만 해당 트랜지스터의 턴-온 상태가 유지된다. 여기서, 상기 차전압(ΔV_{th})은 정상적인 트랜지스터의 문턱 전압(V_{th0})과 열화후 트랜지스터의 문턱 전압(V_{th}')간의 차전압이다.

<69> 【수학식 5】 $Max(V_{gs}) - [V_{th0} + \Delta V_{th}] > 0$

<70> 또한, 상기 차전압(ΔV_{th})은 최대의 게이트-소오스간 전압과 최소의 게이트-소오스간 전압간의 산술 평균치 $[(Max(V_{gs}) + Min(V_{gs}))/2]$ 에 이르렀을 때에도 상기 풀다운 트랜지스터(Q2)나 홀드 트랜지스터(Q5)들도 턴-온 상태가 발생되어야 하므로 하기하는 수학식 6을 만족하여야 한다.

$$\begin{aligned} <71> \quad Max(V_{gs}) - \left[\frac{Max(V_{gs}) + Min(V_{gs})}{2} + V_{th0} \right] > 0 \\ \rightarrow \quad \frac{Max(V_{gs}) - Min(V_{gs})}{2} > V_{th0} \end{aligned}$$

【수학식 6】 $\therefore Max(V_{gs}) - Min(V_{gs}) > 2 \cdot V_{th0}$

<72> 상기 수학식 6에 의하면, 본 발명에 따른 게이트-소오스간 전압은 정상적인 트랜지스터의 문턱 전압보다 적어도 2배 이상의 진폭을 갖도록 인가되어야 풀다운 트랜지스터(Q2) 또는 홀드 트랜지스터(Q5)에 열화가 발생되더라도 정상적으로 전류 구동 능력을 갖도록 풀다운 트랜지스터(Q2) 또는 홀드 트랜지스터(Q5)의 게이트에 전압을 발생시킬 수 있다.

<73> 한편, 게이트-소오스간 전압의 최대값($\text{Max}(V_{gs})$)은 하기하는 수학적식 7과 같이, 상기 수학적식 3에서 게이트 오프 전압(V_{OFF})을 감산한 전압이고, 하기하는 수학적식 8과 같이, 게이트-소오스간 전압의 최소값($\text{Min}(V_{gs})$)은 상기 수학적식 4에서 게이트 오프 전압(V_{OFF})을 감산한 전압이다.

<74> 【수학적식 7】 $\text{Max}(V_{gs}) = \text{Max}(V_{ON}) - V_{th}(Q6) - V_{th}(MA) - V_{OFF}$

<75> 【수학적식 8】 $\text{Min}(V_{gs}) = \text{Min}(V_{ON}) + 3 \cdot V_{th}(MA) - V_{OFF}$

<76> 상기 수학적식 7과 8을 상기 수학적식 6에 대입시켜 하나의 식으로 정리하면 하기하는 수학적식 9와 같다.

<77>
$$[\text{Max}(V_{ON}) - V_{th}(Q6) - V_{th}(MA) - V_{OFF}]$$

【수학적식 9】 $-[\text{Min}(V_{ON}) + 3 \cdot V_{th}(MA) - V_{OFF}] > 2 \cdot V_{tho}$

<78> 상기 수학적식 9를 간단히 하기 위해 트랜지스터(Q6)의 문턱 전압($V_{th}(Q6)$)과 트랜지스터(MA)의 문턱 전압($V_{th}(MA)$)과 해당 트랜지스터의 정상적인 문턱 전압(V_{tho})이 동일하다고 가정하면 하기하는 수학적식 10을 얻을 수 있다.

<79> 【수학적식 10】 $\text{Max}(V_{ON}) - \text{Min}(V_{ON}) > 7 \cdot V_{tho}$

<80> 상기 수학적식 10에 의하면, 외부에서 게이트 온 전압(V_{ON})을 인가할 때 트랜지스터의 정상적인 문턱 전압(V_{tho})의 7배 이상에 해당하는 진폭을 갖는 AC 전압을 인가하므로써, 풀다운 트랜지스터(Q2) 또는 홀드 트랜지스터(Q5)에 열화가 발생되더라도 정상적으로 전류 구동 능력을 갖도록 풀다운 트랜지스터(Q2) 또는 홀드 트랜지스터(Q5)의 게이트에 전압을 발생시킬 수 있다.

- <81> 그러면, 상기 풀다운 트랜지스터(Q2)와 홀드 트랜지스터(Q5)의 게이트에 인가되는 전압, 즉 상기 일정 주기로 스윙하는 전압에 대해서 보다 상세히 설명한다.
- <82> 도 7은 본 발명에 따라 인가되는 게이트-소오스간 전압의 일례를 설명하기 위한 파형도이다.
- <83> 도 7을 참조하면, 풀다운 트랜지스터(Q2) 또는 홀드 트랜지스터(Q5)의 게이트-소오스간 전압은 1H를 주기로 로우 레벨과 하이 레벨을 반복하는 스윙 전압이다. 즉, 상기 게이트-소오스간 전압은 파워 클럭이 로우 레벨에서 하이 레벨로 라이징하는 것이 동기되어 라이징(rising)하고, 상기 파워 클럭의 H/2 시점에 하이 레벨에서 로우 레벨로 폴링(falling)하였다가, 상기 파워 클럭이 하이 레벨에서 로우 레벨로 폴링하는 것에 동기되어 라이징하는 동작을 반복한다. 물론, 여기서 상기 게이트-소오스간 전압의 진폭은 풀다운 트랜지스터(Q2)나 홀드 트랜지스터(Q5)가 열화되기 전의 정상적인 문턱 전압의 2배 이상을 갖는 것이 바람직하다.
- <84> 이상에서 설명한 본 발명의 일 실시예에 따르면, 진폭이 트랜지스터의 정상적인 문턱 전압의 2배 이상이고, 주기가 파워 클럭 주기의 1/2인 1H이며, 파워 클럭이 천이할 때 최대값을 갖는 게이트-소오스간 전압(V_{gs})이 풀다운 트랜지스터(Q2) 또는 홀드 트랜지스터(Q5)에 인가되도록 하므로써, 풀다운 트랜지스터(Q2) 또는 홀드 트랜지스터(Q5)가 열화되더라도 턴-온되어 전류 구동 능력을 유지할 수 있다.
- <85> 도 8은 본 발명에 따른 인가되는 게이트-소오스간 전압의 다른 일례를 설명하기 위한 파형도이다.

<86> 도 8을 참조하면, 풀다운 트랜지스터(Q2) 또는 홀드 트랜지스터(Q5)의 게이트-소오스간 전압은 2H를 주기로 로우 레벨과 하이 레벨을 반복하는 스윙 전압이다. 즉, 상기 게이트-소오스간 전압은 파워 클럭이 로우 레벨에서 하이 레벨로 라이징하는 것이 동기되어 라이징하고, 상기 파워 클럭이 하이 레벨에서 로우 레벨로 폴링하는 것이 동기되어 폴링하는 동작을 반복한다. 물론, 여기서 상기 게이트-소오스간 전압의 진폭은 풀다운 트랜지스터(Q2)나 홀드 트랜지스터(Q5)가 열화되기 전의 정상적인 문턱 전압의 2배 이상을 갖는 것이 바람직하다.

<87> 이상에서 설명한 본 발명의 다른 실시예에 따르면, 진폭이 트랜지스터의 정상적인 문턱 전압의 2배 이상이고, 주기가 파워 클럭 주기와 동일한 2H이며, 풀업 트랜지스터의 드레인에 인가되는 파워 클럭이 로우 레벨에서 하이 레벨로 천이할 때 최대값을 갖는 게이트-소오스간 전압(V_{gs})이 풀다운 트랜지스터(Q2) 또는 홀드 트랜지스터(Q5)에 인가되도록 하므로써, 풀다운 트랜지스터(Q2) 또는 홀드 트랜지스터(Q5)가 열화되더라도 턴-온되어 전류 구동 능력을 유지할 수 있다.

<88> 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<89> 이상에서 설명한 바와 같이, 본 발명에 따르면 진폭이 트랜지스터의 정상적인 문턱 전압의 2배 이상이고, 주기가 파워 클럭 주기의 1/2인 1H이며, 파워 클럭이 천이할 때 최대값을 갖는 게이트-소오스간 전압을 풀다운 트랜지스터 또는 홀드 트랜지스터에 인가

하므로써, 풀다운 트랜지스터 또는 홀드 트랜지스터가 열화되더라도 턴-온되어 전류 구동 능력을 유지할 수 있다.

<90> 또한, 진폭이 트랜지스터의 정상적인 문턱 전압의 2배 이상이고, 주기가 파워 클럭 주기와 동일한 $2H$ 이며, 풀업 트랜지스터의 드레인에 인가되는 파워 클럭이 로우 레벨에서 하이 레벨로 천이할 때 최대값을 갖는 게이트-소오스간 전압을 풀다운 트랜지스터 또는 홀드 트랜지스터에 인가되도록 하므로써, 풀다운 트랜지스터 또는 홀드 트랜지스터가 열화되더라도 턴-온되어 전류 구동 능력을 유지할 수 있다.

【특허청구범위】**【청구항 1】**

드레인, 소오스 및 게이트를 갖는 트랜지스터의 구동 방법에 있어서,

(a) 제1 전원전압을 상기 드레인에 인가하고, 제2 전원전압을 상기 소오스에 인가하는 단계; 및

(b) 상기 트랜지스터의 열화에 따라 상승한 문턱 전압을 상기 트랜지스터가 오동작하는 문턱 전압 이하로 하기 위해 일정 주기로 스윙하는 제3 전원전압을 상기 게이트에 인가하는 단계를 포함하는 트랜지스터의 구동 방법.

【청구항 2】

제1항에 있어서, 상기 제3 전원전압이 인가된 상기 트랜지스터의 게이트-소오스간 전압의 진폭은 상기 트랜지스터의 정상적인 문턱 전압보다 적어도 2배 이상인 것을 특징으로 하는 트랜지스터의 구동 방법.

【청구항 3】

스캔개시신호의 입력에 따라 복수의 스테이지를 가진 쉬프트 레지스터를 이용하여 복수의 게이트 라인을 순차적으로 구동하는 쉬프트 레지스터의 구동 방법에 있어서,

(a) 외부로부터 제공되는 제1 전원전압을 캐패시터에 충전시켜 클럭의 1 듀티 동안 출력단자에 연결된 게이트 라인을 풀업시키는 단계;

(b) 상기 출력단자의 출력신호에 의해 상기 단계(a)의 풀업상태를 유지하는 단계;

(c) 상기 출력신호의 후단에 응답하여 상기 게이트 라인의 풀다운을 시작하고 상기 캐패시터의 방전을 시작하는 단계;

- (d) 제2 전원전압에 응답하여 상기 게이트 라인을 풀다운시키는 단계; 및
- (e) 외부로부터 제공되는 제3 전원전압에 의해 상기 단계(d)의 풀다운 상태를 유지하는 단계를 포함하는 쉬프트 레지스터의 구동 방법.

【청구항 4】

제3항에 있어서, 상기 제2 전원전압은 1H의 주기를 갖고서 스윙하는 것을 특징으로 하는 쉬프트 레지스터의 구동 방법.

【청구항 5】

제3항에 있어서, 상기 제2 전원전압은 2H의 주기를 갖고서 스윙하는 것을 특징으로 하는 쉬프트 레지스터의 구동 방법.

【청구항 6】

제3항에 있어서, 상기 클럭이 1수직 시간에서 2수평 시간을 감한 시간 동안 로우 레벨에서 하이 레벨로 천이할 때 최대치의 게이트-소오스간 전압이 라이징 시간과 동기되어 인가되는 것을 특징으로 하는 쉬프트 레지스터의 구동 방법.

【청구항 7】

제6항에 있어서, 상기 최대치의 게이트-소오스간 전압의 위상은 상기 클럭의 위상보다 앞서는 것을 특징으로 하는 쉬프트 레지스터의 구동 방법.

【청구항 8】

제3항에 있어서, 상기 클럭이 1수직 시간에서 2수평 시간을 감한 시간 동안 로우 레벨에서 하이 레벨로 천이할 때 최대치의 게이트-소오스간 전압이 클럭의 라이징 시간과 동기되어 인가되는 것을 특징으로 하는 쉬프트 레지스터의 구동 방법.

【청구항 9】

제8항에 있어서, 상기 최대치의 게이트-소오스간 전압의 위상은 상기 클럭의 위상보다 앞서는 것을 특징으로 하는 쉬프트 레지스터의 구동 방법.

【청구항 10】

복수의 스테이지들이 연결되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서,

상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 충전 시간을 줄이기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 충전 시간을 줄이기 위한 제2 제어신호가 제공되며,

상기 각 스테이지는

출력단자에 상기 제1 및 제2 클럭 중 대응되는 클럭을 제공하는 풀업수단;

상기 출력단자에 제1 전원전압을 제공하는 풀다운수단;

상기 풀업수단의 입력노드에 연결되고, 이전 스테이지의 출력신호의 선단에 응답하여 상기 풀업수단을 턴-온시키고, 상기 제1 제어신호 또는 제2 제어신호의 선단에 응답하여 상기 풀업수단을 턴-오프시키는 풀업구동수단; 및

상기 풀다운수단의 입력노드에 연결되고, 일정 주기로 스위칭하는 입력신호의 선단에 응답하여 상기 풀다운수단을 턴-오프시키고, 상기 입력신호의 후단에 응답하여 상기 풀다운수단을 턴-온시키는 풀다운구동수단을 구비하는 쉬프트 레지스터.

【청구항 11】

제10항에 있어서, 상기 입력신호는 2H를 주기로 하이 레벨과 로우 레벨을 반복하는 것을 특징으로 하는 쉬프트 레지스터.

【청구항 12】

제10항에 있어서, 상기 입력신호는 1H를 주기로 하이 레벨과 로우 레벨을 반복하는 것을 특징으로 하는 쉬프트 레지스터.

【청구항 13】

제10항에 있어서, 상기 풀다운수단은 드레인이 상기 출력단에 연결되고, 소오스가 제1 전원전압에 연결된 풀다운 트랜지스터로 이루어지고,

상기 풀다운구동수단은 상기 풀다운 트랜지스터의 게이트에 1수직시간에서 2수평시간을 감한 시간 동안 주기적인 AC 전압을 인가하는 것을 특징으로 하는 쉬프트 레지스터.

【청구항 14】

제13항에 있어서, 상기 입력신호의 진폭은 상기 풀다운 트랜지스터의 문턱 전압보다 7배 이상인 것을 특징으로 하는 쉬프트 레지스터.

【청구항 15】

제10항에 있어서, 상기 풀업구동수단은 드레인이 상기 풀업수단의 입력단에 연결되고, 소오스가 상기 제1 전원전압에 연결된 홀드 트랜지스터를 포함하고,

상기 풀다운구동수단은 상기 홀드 트랜지스터의 게이트에 1수직시간에서 1수평시간을 감한 시간 동안 주기적인 AC 전압을 인가하는 것을 특징으로 하는 쉬프트 레지스터.

【청구항 16】

제15항에 있어서, 상기 입력신호의 진폭은 상기 홀드 트랜지스터의 문턱 전압보다 7배 이상인 것을 특징으로 하는 쉬프트 레지스터.

【청구항 17】

제10항에 있어서, 상기 풀다운구동수단은,

상기 입력신호를 반전하기 위한 반전수단; 및

상기 반전된 입력신호에 응답하여 상기 풀업수단을 구동하는 열화보상수단을 포함하는 것을 특징으로 하는 쉬프트 레지스터.

【청구항 18】

제17항에 있어서, 상기 반전수단은,

게이트와 드레인이 공통 연결되고, 상기 공통 연결된 게이트와 드레인을 통해 게이트 온 전압을 제공받는 제1 트랜지스터; 및

드레인이 상기 제1 트랜지스터의 소오스에 연결되고, 게이트가 상기 열화보상수단에 연결되며, 소오스가 게이트 오프 전압에 연결된 제2 트랜지스터를 포함하는 쉬프트 레지스터.

【청구항 19】

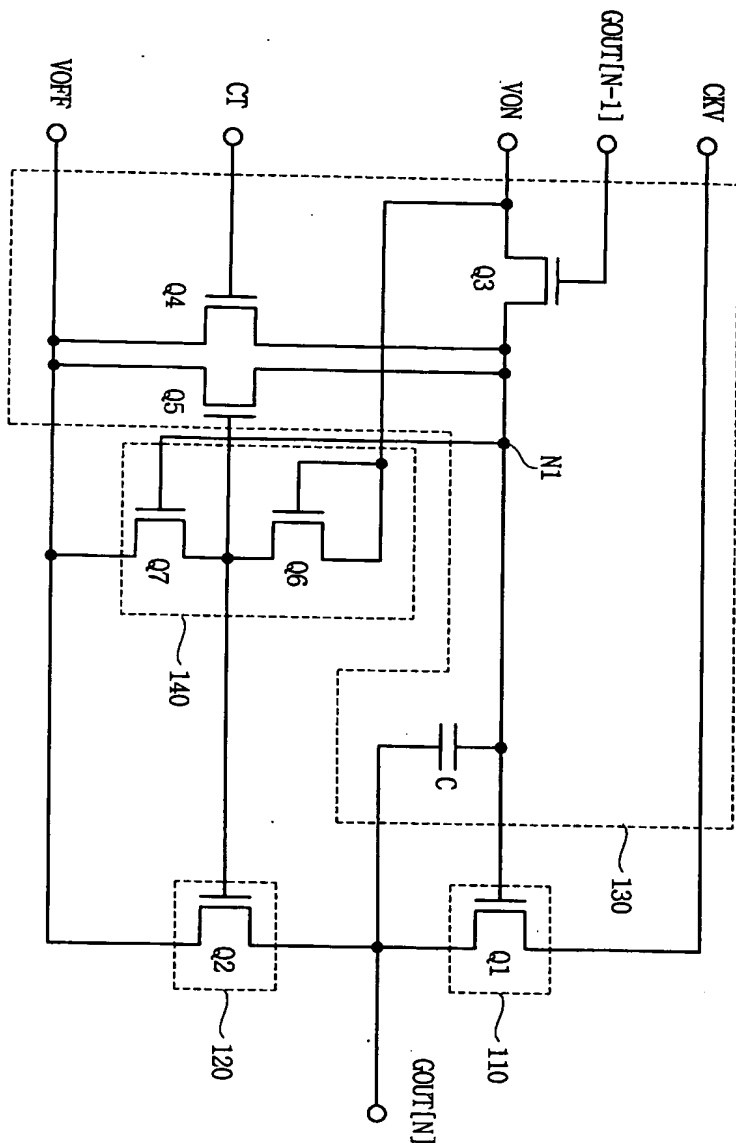
제17항에 있어서, 상기 열화보상수단은,

드레인이 게이트 온 전압에 연결되고, 게이트가 제2 노드에 연결되며, 소오스가 제3 노드를 통해 상기 풀다운수단에 연결된 제1 보상 트랜지스터; 및

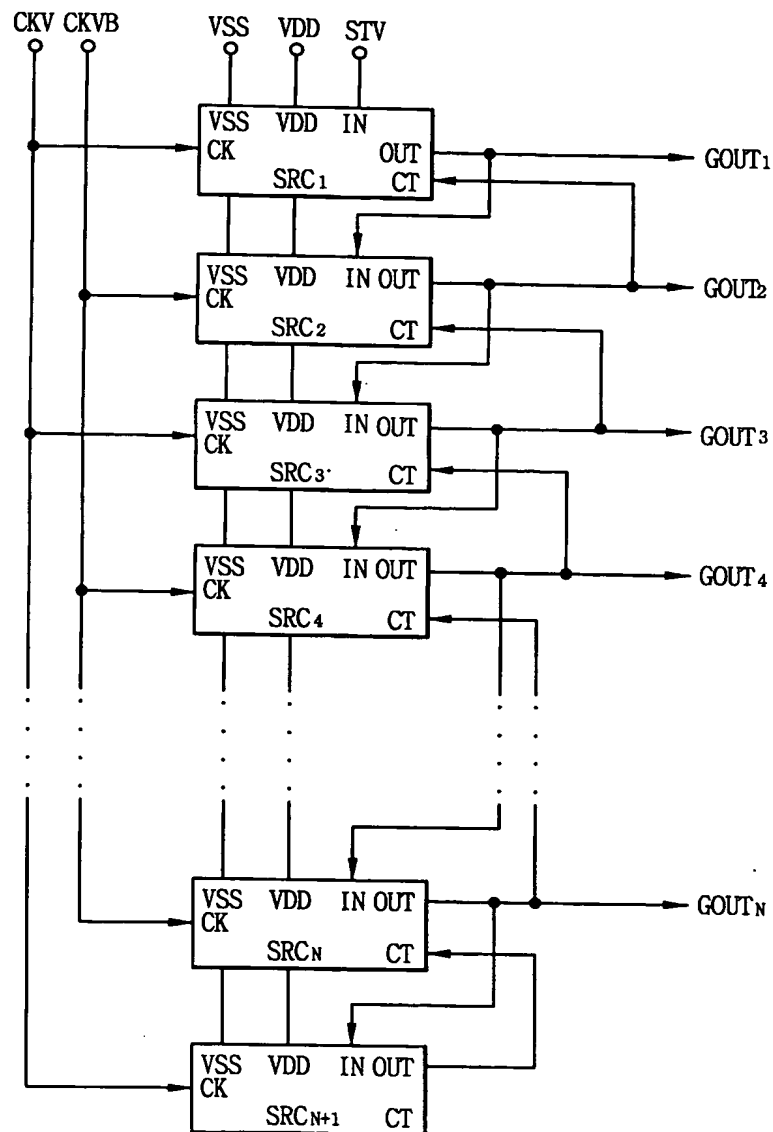
드레인이 제3 노드를 통해 상기 풀다운수단에 연결되고, 게이트가 제1 노드에 연결되며, 소오스가 게이트 오프 전압에 연결된 제2 보상 트랜지스터를 포함하는 쉬프트 레지스터.

【도면】

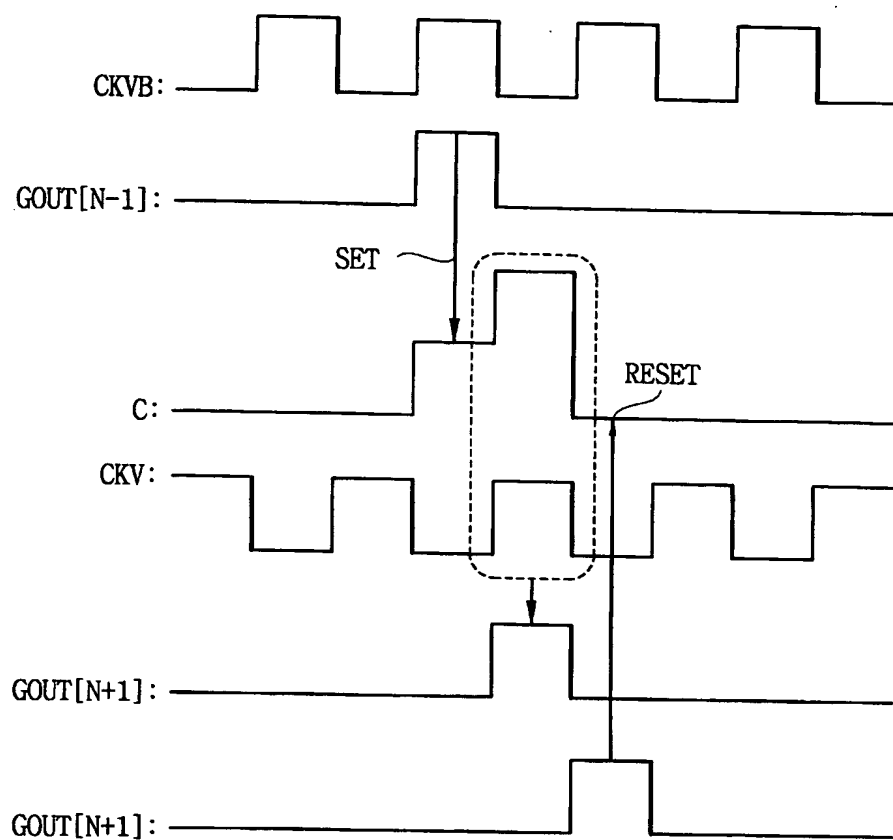
【도 1】



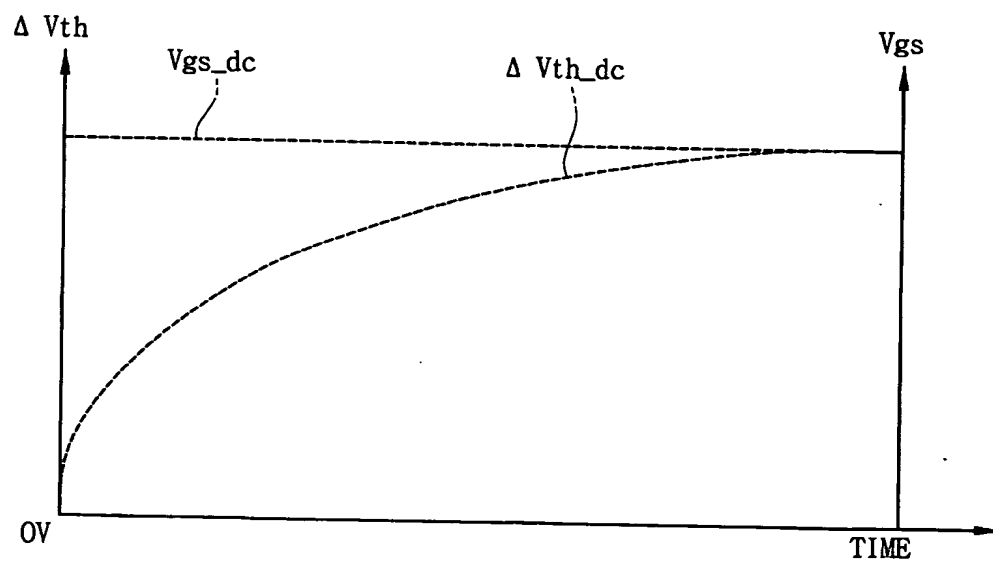
【도 2】



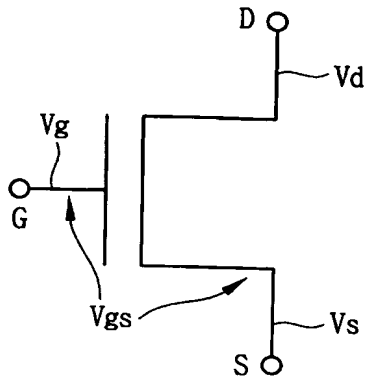
【도 3】



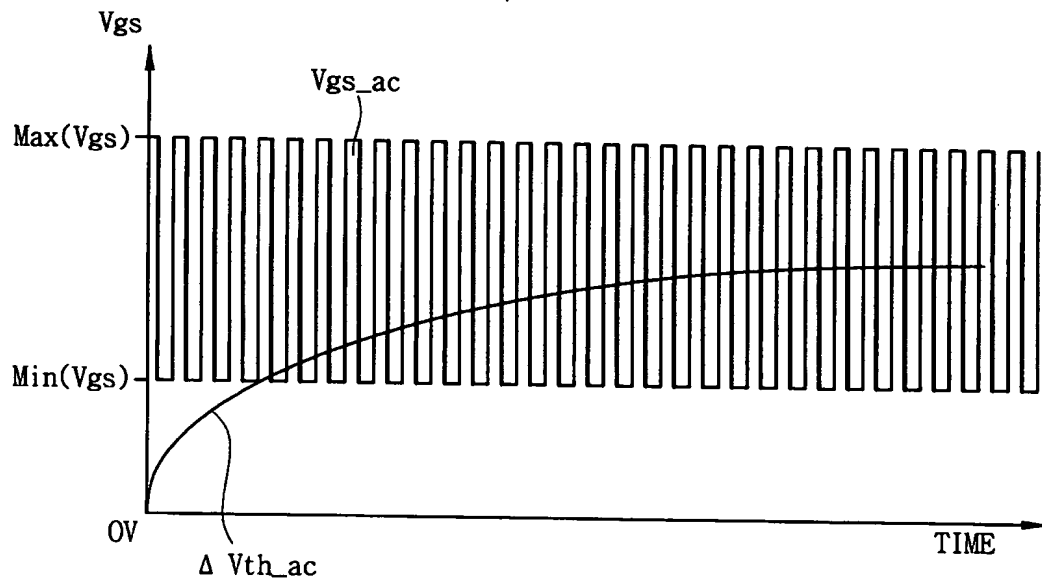
【도 4】



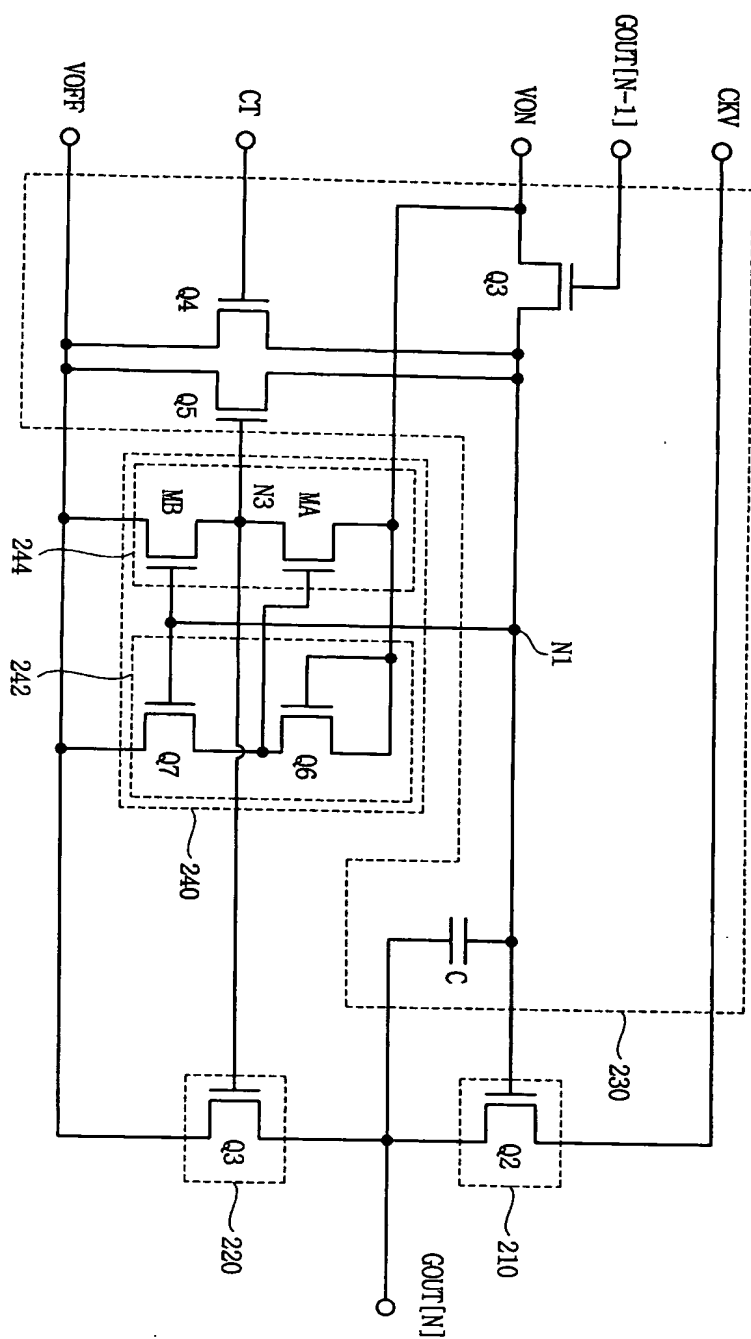
【도 5a】



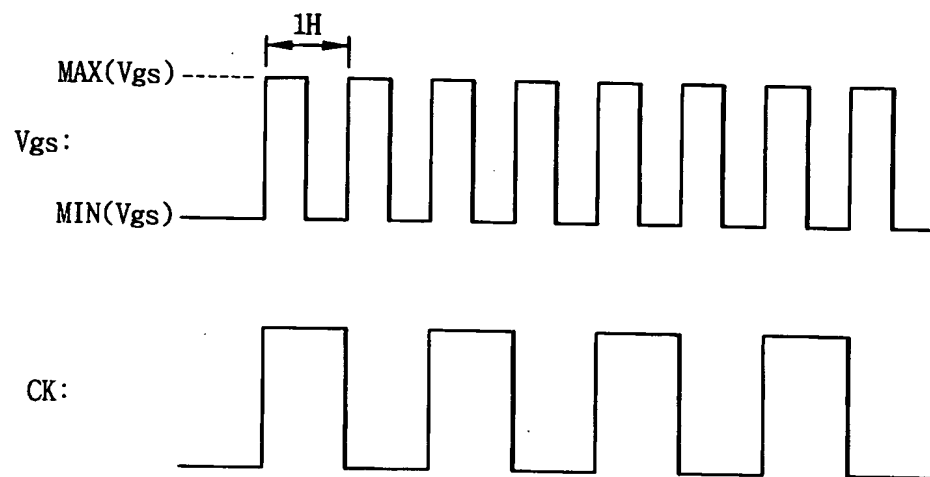
【도 5b】



【도 6】



【도 7】



【도 8】

